



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Detlef Weber  
Serial No. : 09/898,909  
Filed : July 3, 2001  
Title : METALLIZATION ARRANGEMENT FOR SEMICONDUCTOR STRUCTURE  
AND CORRESPONDING FABRICATION METHOD

Art Unit : Unknown  
Examiner : Unknown

Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

Germany Application No. 10034020.2 filed July 7, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: Aug 27, 2001

Faustino A. Lichauco  
Reg. No. 41,942

Fish & Richardson P.C.  
225 Franklin Street  
Boston, Massachusetts 02110-2804  
Telephone: (617) 542-5070  
Facsimile: (617) 542-8906

20307374.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

August 27, 2001  
Date of Deposit

Signature  
Jeanne Mecherkan  
Typed or Printed Name of Person Signing Certificate

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 34 020.2

**Anmeldetag:** 07. Juli 2000

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Metallisierungsanordnung für Halbleiterstruktur und  
entsprechendes Herstellungsverfahren

**IPC:** H 01 L 23/522

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Juli 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Agurks

## Beschreibung

Metallisierungsanordnung für Halbleiterstruktur und entsprechendes Herstellungsverfahren

5

Die vorliegende Erfindung betrifft eine Metallisierungsanordnung für eine Halbleiterstruktur mit einer ersten Unterbauebene, einer zweiten Metallisierungsebene mit einer ersten und einer zweiten benachbarten Leiterbahn, einem ersten Zwischendielektrikum zur gegenseitigen elektrischen Isolation der ersten Unterbauebene und zweiten Metallisierungsebene und mit mit einem leitenden Material gefüllten Durchgangslöchern in dem ersten Zwischendielektrikum zum Verbinden der ersten Unterbauebene und zweiten Metallisierungsebene. Ebenfalls betrifft die Erfindung ein entsprechendes Herstellungsverfahren.

10

15

20

Der Begriff Halbleiterstruktur soll im allgemeinen Sinne verstanden werden und kann daher sowohl einschichtige als auch mehrschichtige Strukturen mit beliebigen Halbleiterbauelementen umfassen. Beispielsweise ist die Halbleiterstruktur eine integrierte Schaltung, für die die Metallisierungsanordnung eine interne bzw. externe Verdrahtung vorsieht.

25

Fig. 2 zeigt eine schematische Darstellung einer bekannten Metallisierungsanordnung für eine Halbleiterstruktur.

30

35

In Figur 2 bezeichnen 1 eine Halbleiterstruktur, beispielsweise eine in einem Siliziumsubstrat integrierte elektrische Schaltung, L1 eine erste Linerschicht aus Siliziumdioxid, M1 eine erste Metallisierungsebene, ILD ein Zwischendielektrikum, V ein mit einem leitenden Material FM gefülltes Durchgangsloch, L2 eine zweite Linerschicht, M2 eine zweite Metallisierungsschicht, LBA eine erste Leiterbahn, LBB eine zweite Leiterbahn und O einen Zwischenraum zwischen der ersten und

zweiten Leiterbahn LBA, LBB sowie K kritische Stellen der Struktur.

Allgemein hat die Einführung des Zwischendielektrikums ILD mit niedriger Dielektrizitätskonstante zum Ziel, die kapazitive Koppelung benachbarter Leiterbahnen zu reduzieren und damit die Funktionstüchtigkeit bei unveränderter Chipfläche zu verbessern. Die Integration des Zwischendielektrikums ILD mit niedriger Dielektrizitätskonstante erfordert im Allgemeinen jedoch die Bereitstellung der Linerschicht L1 bzw. L2, beispielsweise in Form eines Siliziumoxidliners bzw. Siliziumnitridliners, zur Strukturierung der Durchgangslöcher V und als Diffusionsbarriere ( z.B. bei einer AlCu-Metallisierung).

Die relativ hohe Dielektrizitätskonstante solch einer Linerschicht L1 bzw. L2 in Form eines Siliziumoxidliners bzw. Siliziumnitridliners wirkt sich aber negativ auf die kapazitive Koppelung benachbarter Leiterbahnen, beispielsweise LBA und LBB, aus. Solche kritischen Stellen bei der bekannten Anordnung gemäß Figur 2 sind mit K bezeichnet.

Die der vorliegenden Erfindung zu Grunde liegende Aufgabe liegt darin, die störende kapazitive Koppelung zu reduzieren.

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Halbleiterbauelement und das in Anspruch 6 angegebene Herstellungsverfahren gelöst.

Gemäß der vorliegenden Erfindung ist es möglich, eine störende kapazitive Kopplung zwischen benachbarten Leiterbahnen der zweiten Metallisierungsebene erheblich zu reduzieren.

Die der vorliegenden Erfindung zugrundeliegende allgemeine Idee besteht darin, dass unter der zweiten Metallisierungsebene eine Linerschicht aus einem dielektrischen Material

vorgesehen ist, welche im Zwischenraum zwischen der ersten und zweiten benachbarten Leiterbahn der zweiten Metallisierungsebene unterbrochen ist.

- 5 In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Halbleiterbauelements bzw. des in Anspruch 7 angegebenen Herstellungsverfahrens.

- 10 Gemäß einer bevorzugten Weiterbildung ist die erste Unterbauebene eine erste Metallisierungsebene.

- Gemäß einer weiteren bevorzugten Weiterbildung wird der Zwischenraum zwischen der ersten und zweiten benachbarten Leiterbahn der zweiten Metallisierungsebene mit einem zweiten Zwischendielektrikum oberhalb des ersten Zwischendielektrikums gefüllt ist. So lassen sich mehrere Metallisierungsschichten mit dazwischenliegenden Dielektrika übereinander stapeln.

- 20 Gemäß einer weiteren bevorzugten Weiterbildung weist die Halbleiterstruktur eine in einem Siliziumsubstrat integrierte elektrische Schaltung auf.

- 25 Gemäß einer weiteren bevorzugten Weiterbildung wird die Linienschicht aus Siliziumdioxid oder Siliziumnitrid hergestellt ist.

- Gemäß einer weiteren bevorzugten Weiterbildung werden die erste und/oder zweite Metallisierungsebene aus AlCu hergestellt.

- 30 Gemäß einer weiteren bevorzugten Weiterbildung werden das Strukturieren und Unterbrechen in einem gemeinsamen Ätzschritt durchgeführt. Dafür ist lediglich die Auswahl eines
- 35

geeigneten Ätzmittels bzw. einer geeigneten Liner/Metall-Kombination erforderlich. Dann bedarf es im Vergleich zum üblichen Prozeß lediglich einer längeren Ätzzeit, jedoch keiner zusätzlichen Maskenebene bzw. keines zusätzlichen Ätzschrit-

5 tes.

Gemäß einer weiteren bevorzugten Weiterbildung wird das Strukturieren in einem ersten Metall-Ätzschritt und wird das Unterbrechen in einem zweiten Siliziumdioxid-Ätzschritt

10 durchgeführt.

Gemäß einer weiteren bevorzugten Weiterbildung wird für das Strukturieren und Unterbrechen eine Hartmaske oder eine Lackmaske verwendet, die auf der zweiten Metallisierungsebene

15 vorgesehen wird.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

20

Fig. 1a-h zeigen eine schematische Darstellung der wesentlichen Verfahrensschritte zur Herstellung einer Metallisierungsanordnung für eine Halbleiterstruktur als Ausführungsform der vorliegenden Erfindung; und

25

Fig. 2 zeigen eine schematische Darstellung einer bekannten Metallisierungsanordnung für eine Halbleiterstruktur.

30 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Elemente.

Fig. 1a-h zeigen eine schematische Darstellung der wesentlichen Verfahrensschritte zur Herstellung einer Metallisie-

rungsanordnung für eine Halbleiterstruktur als Ausführungsform der vorliegenden Erfindung.

Wie in Figur 1a dargestellt, erfolgt zunächst die Abscheidung und Strukturierung der ersten Metallisierungsschicht M1 auf der Halbleiterstruktur 1. Daraufhin wird ganzflächig ein Zwischendielektrikum ILD1 auf der resultierenden Struktur abgeschieden. Dieses Zwischendielektrikum ILD1 mit geringer Dielektrizitätskonstante ist beispielsweise eine kohlenstoffhaltige SiO<sub>2</sub>-Schicht.

Gemäß Figur 1b wird in einem folgenden Prozessschritt eine Linerschicht L auf die resultierende Struktur aufgebracht. Dazu sei bemerkt, dass die Dielektrizitätskonstante der Linerschicht L größer ist als die Dielektrizitätskonstante des Zwischendielektrikums ILD1.

Es folgt eine Strukturierung der Linerschicht L und des Zwischendielektrikums ILD1 mittels einer standardmäßigen photolithografischen Technik. Dadurch wird das Durchgangsloch V geschaffen, wie in Figur 1c dargestellt.

In einem weiteren Prozessschritt, wie in Figur 1d illustriert, wird das Durchgangsloch V dann mit dem leitenden Füllmaterial FM aufgefüllt.

Danach oder im selben Prozessschritt wird dann eine zweite Metallisierungsschicht M2 abgeschieden, was zur in Figur 1e gezeigten Struktur führt.

Daraufhin wird auf der zweiten Metallisierungsschicht M2 eine Photolackmaske oder, wie im vorliegenden Beispiel, eine Hartmaske beispielsweise aus Siliziumnitrid, vorgesehen. Mittels der Hartmaske HM wird die zweite Metallisierungsschicht M2 in

die Leiterbahnen LBA und LBB strukturiert. Dies ist in Figur 1f illustriert.

Entweder im selben Ätzschritt oder in einem zusätzlichen Ätzschritt mit anderem Ätzmedium wird dann die freigelegte Linerschicht L weggeätzt, so dass sich in dem Zwischenraum O kein Liner und auch kein Metall mehr befindet. Dies ist in Figur 1g dargestellt. Somit ist die Metallstruktur in die Linerschicht L aus Siliziumdioxid übertragen. Bei geeigneter Auswahl der Linerschicht 6 und des Ätzmediums erfordert dies lediglich eine Verlängerung des bekannten Ätzprozesses für die Metallisierungsschicht M2.

Gemäß der in Figur 1h dargestellten Struktur erfolgt dann ein Entfernen der Hartmaske HM und eine Abscheidung einer weiteren Zwischendielektrikumsschicht ILD2. Auf diesem weiteren Zwischendielektrikum ILD2 kann dann entweder eine abschließende Passivierungsschicht oder eine weitere dritte Metallisierungsschicht usw. aufgetragen werden.

Wie aus Figur 1h klar erkennbar, ist durch diese Art der Prozessführung die Linerschicht L aus Siliziumdioxid überall dort entfernt, wo auch die Metallschicht M2 entfernt ist, so dass die störenden kapazitiven Koppelungseffekte beseitigt sind.

Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Selbstverständlich ist die vorliegende Erfindung auf beliebige Halbleiterstrukturen, insbesondere integrierte Schaltungen, und beliebige Halbleiter-Grundmaterialien anwendbar,



insbesondere kann man beliebige Halbleitermaterialien bzw. Materialien-Sandwiches als Substrat verwenden.

- 5 Obwohl beim obigen Beispiel die erste Unterbauebene eine Metallisierungsebene ist, kann sie auch eine andere Ebene sein, also die Erfindung für die unterste Metallisierungsebene angewendet werden.

## Patentansprüche

1. Metallisierungsanordnung für eine Halbleiterstruktur (1) mit:

- 5 einer ersten Unterbauebene (M1);  
einer zweiten Metallisierungsebene (M2) mit einer ersten und  
einer zweiten benachbarten Leiterbahn (LBA; LBB);  
einem ersten Zwischendielektrikum (ILD1) zur gegenseitigen  
elektrischen Isolation der ersten Unterbauebene (M1) und  
10 zweiten Metallisierungsebene (M2); und  
mit einem leitenden Material (FM) gefüllten Durchgangslöchern  
(V) in dem Zwischendielektrikum (ILD1) zum Verbinden der er-  
sten Unterbauebene (M1) und zweiten Metallisierungsebene  
(M2);  
15 wobei unter der zweiten Metallisierungsebene (M2) eine Liner-  
schicht (L) aus einem dielektrischen Material vorgesehen ist,  
welche im Zwischenraum (O) zwischen der ersten und zweiten  
benachbarten Leiterbahn (LBA; LBB) der zweiten Metallisie-  
rungsebene (M2) unterbrochen ist.

20

2. Metallisierungsanordnung nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t,  
dass die erste Unterbauebene (M1) eine erste Metallisie-  
rungsebene ist.

25

3. Metallisierungsanordnung nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t,  
der Zwischenraum (O) zwischen der ersten und zweiten benach-  
barten Leiterbahn (LBA; LBB) der zweiten Metallisierungsebene  
30 (M2) mit einem zweiten Zwischendielektrikum (ILD2) oberhalb  
des ersten Zwischendielektrikums (ILD1) gefüllt ist.

4. Metallisierungsanordnung nach Anspruch 1, 2 oder 3,  
d a d u r c h g e k e n n z e i c h n e t,

dass die Halbleiterstruktur eine in einem Siliziumsubstrat integrierte elektrische Schaltung aufweist.

5. Metallisierungsanordnung nach einem der Ansprüche 1 bis 4,  
5 d a d u r c h g e k e n n z e i c h n e t,  
dass die Linerschicht (L) aus Siliziumdioxid oder Siliziumnitrid hergestellt ist.

6. Metallisierungsanordnung nach einem der Ansprüche 2 bis 4,  
10 d a d u r c h g e k e n n z e i c h n e t,  
dass die erste und/oder zweite Metallisierungsebene (M1; M2) aus AlCu hergestellt sind.

7. Verfahren zum Herstellen einer Metallisierungsanordnung  
15 für eine Halbleiterstruktur (1) mit den Schritten:  
Vorsehen einer ersten Unterbauebene (M1), vorzugsweise einer ersten Metallisierungsebene, auf der Halbleiterstruktur (1);  
Vorsehen eines ersten Zwischendielektrikums (ILD1) auf der ersten Unterbauebene (M1);

20 Vorsehen einer Linerschicht (L) aus einem dielektrischen Material auf der ersten Unterbauebene (M1);  
Vorsehen von mit einem leitenden Material (FM) gefüllten Durchgangslöchern (V) in dem ersten Zwischendielektrikum (ILD1) und der Linerschicht (L);

25 Vorsehen einer zweiten Metallisierungsebene (M2) auf der resultierenden Struktur;

Strukturieren einer ersten und einer zweiten benachbarten Leiterbahn (LBA; LBB) in der zweiten Metallisierungsebene (M2); und Unterbrechen der Linerschicht im Zwischenraum (O)

30 zwischen der ersten und zweiten benachbarten Leiterbahn (LBA; LBB) der zweiten Metallisierungsebene (M2).

8. Verfahren nach Anspruch 7,  
d a d u r c h g e k e n n z e i c h n e t,

dass das Strukturieren und Unterbrechen in einem gemeinsamen Ätzschritt durchgeführt werden.

9. Verfahren nach Anspruch 7 oder 8,

5    d a d u r c h   g e k e n n z e i c h n e t ,  
dass die Halbleiterstruktur eine in einem Siliziumsubstrat integrierte elektrische Schaltung aufweist.

10. Verfahren nach Anspruch 9,

10    d a d u r c h   g e k e n n z e i c h n e t ,  
dass die Linerschicht (L) aus Siliziumdioxid oder Siliziumnitrid hergestellt wird.

11. Verfahren nach Anspruch 10,

15    d a d u r c h   g e k e n n z e i c h n e t ,  
dass das Strukturieren in einem ersten Metall-Ätzschritt und das Unterbrechen in einem zweiten Siliziumdioxid-Ätzschritt durchgeführt wird.

20    12. Verfahren nach einem der Ansprüche 7 bis 11,

      d a d u r c h   g e k e n n z e i c h n e t ,  
dass der Zwischenraum (O) zwischen der ersten und zweiten benachbarten Leiterbahn (LBA; LBB) der zweiten Metallisierungsebene (M2) mit einem zweiten Zwischendielektrikum (ILD2)  
25    oberhalb des ersten Zwischendielektrikums (ILD1) gefüllt wird.

13. Verfahren nach einem der Ansprüche 7 bis 12,

      d a d u r c h   g e k e n n z e i c h n e t ,  
30    dass für das Strukturieren und Unterbrechen eine Hartmaske oder eine Lackmaske verwendet wird, die auf der zweiten Metallisierungsebene (M2) vorgesehen wird.

## Zusammenfassung

Metallisierungsanordnung für Halbleiterstruktur und entsprechendes Herstellungsverfahren

5

Die vorliegende Erfindung schafft eine Metallisierungsanordnung für eine Halbleiterstruktur (1) mit einer ersten Unterbauebene (M1), vorzugsweise einer ersten Metallisierungsebene; einer zweiten Metallisierungsebene (M2) mit einer ersten und einer zweiten benachbarten Leiterbahn (LBA; LBB); einem ersten Zwischendielektrikum (ILD1) zur gegenseitigen elektrischen Isolation der ersten Unterbauebene (M1) und zweiten Metallisierungsebene (M2); und mit einem leitenden Material (FM) gefüllten Durchgangslöchern (V) in dem Zwischendielektrikum (ILD1) zum Verbinden der ersten Unterbauebene (M1) und zweiten Metallisierungsebene (M2). Unter der zweiten Metallisierungsebene (M2) ist eine Linerschicht (L) aus einem dielektrischen Material vorgesehen, welche im Zwischenraum (O) zwischen der ersten und zweiten benachbarten Leiterbahn (LBA; LBB) der zweiten Metallisierungsebene (M2) unterbrochen ist. Die Erfindung schafft ebenfalls ein entsprechendes Herstellungsverfahren.

10

15

20

Fig. 1h

Bezugszeichenliste

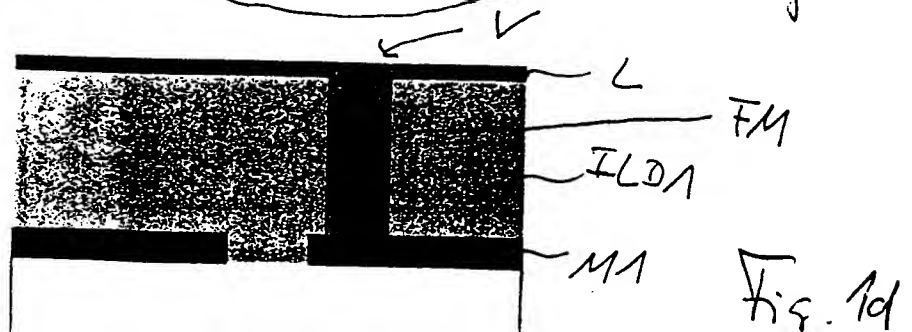
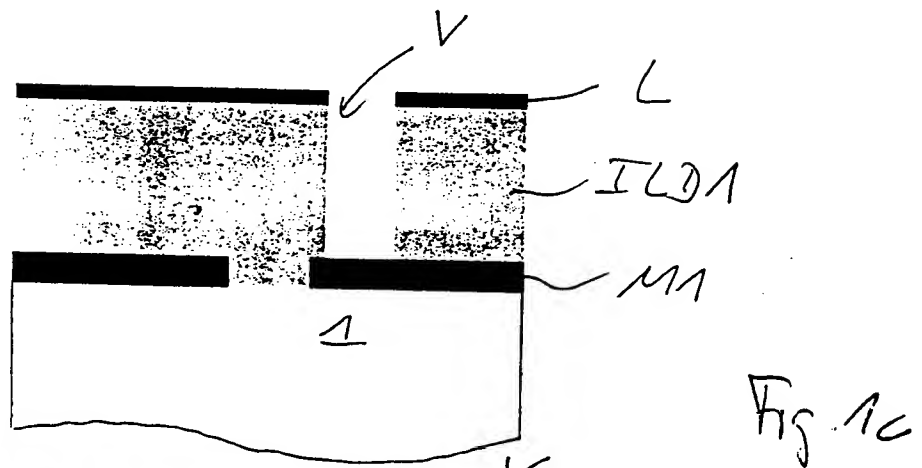
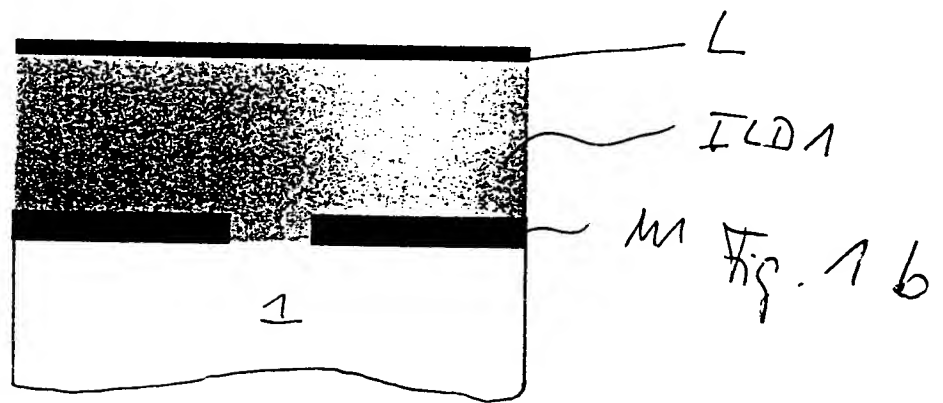
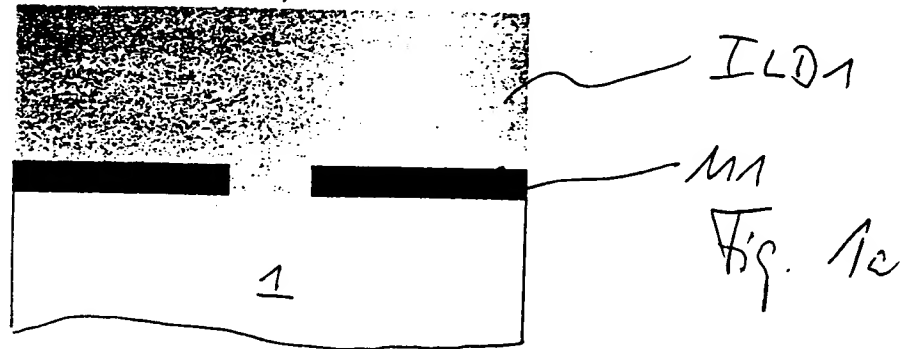
Metallisierungsanordnung für Halbleiterstruktur und  
entsprechendes Herstellungsverfahren

5

1	Halbleiterstruktur
ILD, ILD1, ILD2	Zwischendielektrikum
M1, M2	Metallisierungsebene
L, L1, L2	Linerschicht
FM	leitendes Füllmaterial
V	Durchgangsloch
O	Zwischenraum
LBA, LBB	Leiterbahn in M2
K	kritische Stellen

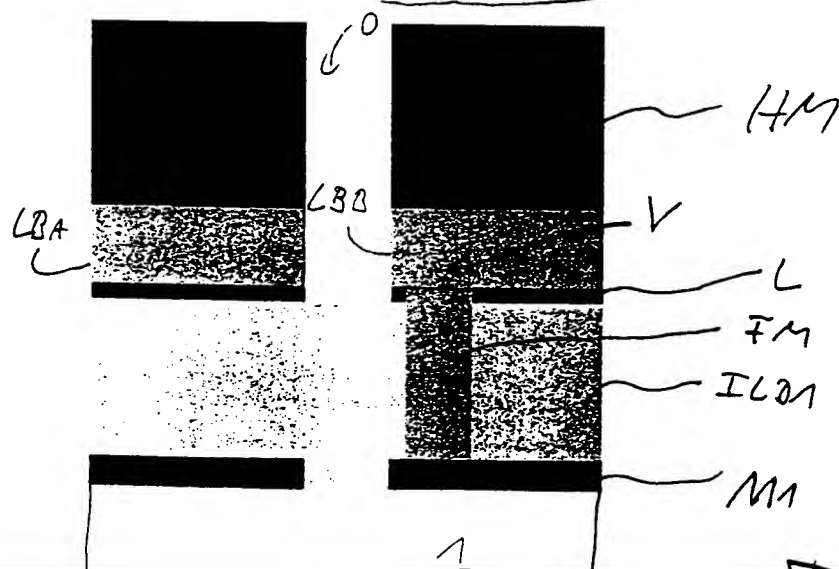
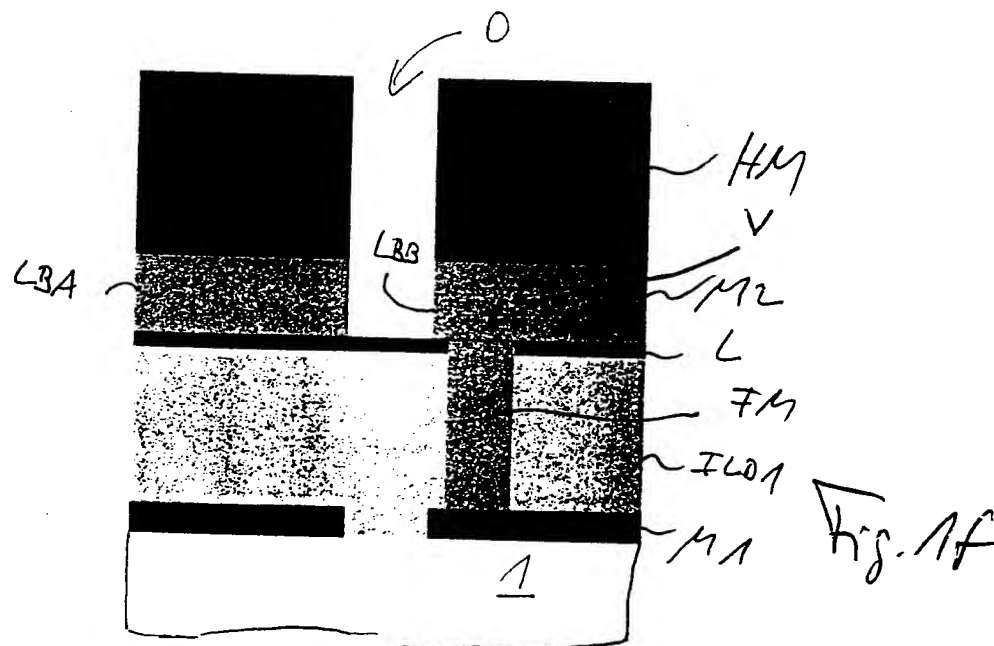
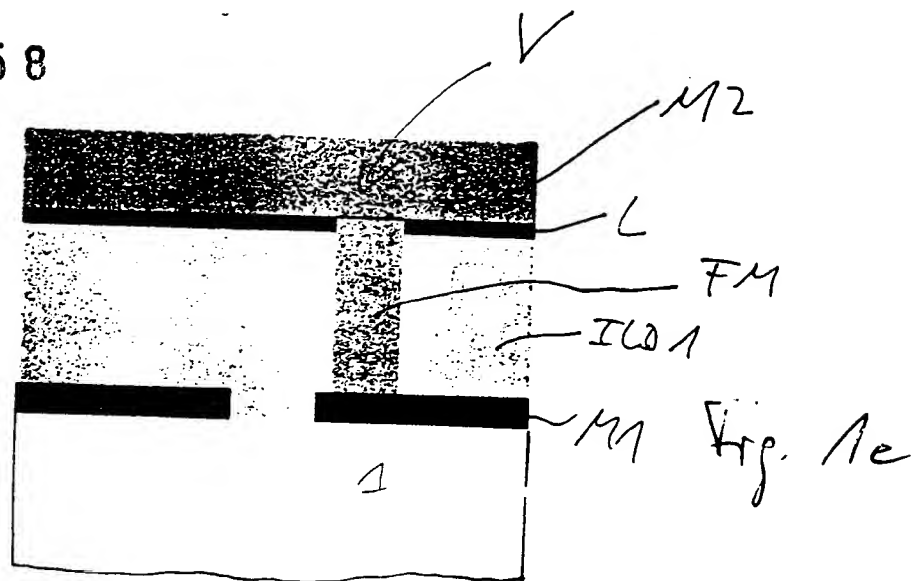
1/3

00 P 4 1 5 9



2/3

00 P 4 1 5 8





00 P 4 1 5 8

